

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-224438

(43) 公開日 平成6年(1994)8月12日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 21/336		9168-4M 9054-4M 9168-4M	H 0 1 L 29/ 78	3 2 1 X 3 0 1 L 3 2 1 P
審査請求 未請求 請求項の数 2 O L (全 5 頁)				

(21) 出願番号 特願平5-12743

(22) 出願日 平成5年(1993)1月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 森 徹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 高田 修

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

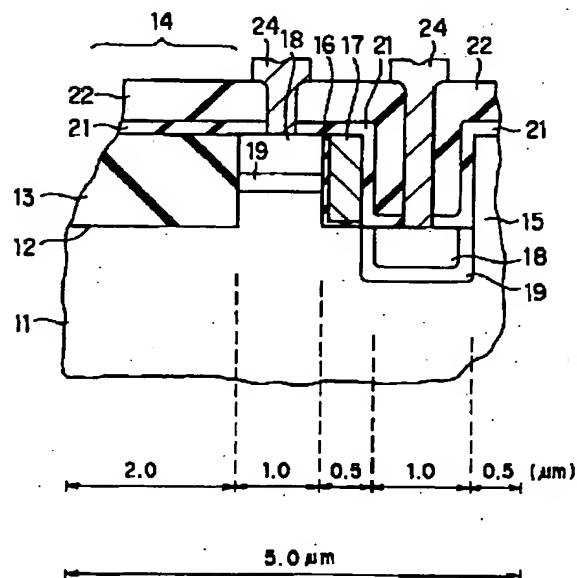
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 MOS型半導体装置及びその製造方法

(57) 【要約】

【目的】 ゲート領域を溝の深さ方向に（縦に）形成し、トランジスタのチャネル領域を基板に対し水平方向に広げず、素子領域の微細化を図る。

【構成】 半導体基板11に溝12、15が形成され、溝12は絶縁物13で埋まり素子分離領域14となり、溝15の壁面にゲート酸化膜16、それを覆うゲート電極17が縦に形成されている。溝15の底面下及びゲート酸化膜16側の溝15の壁面の上半部にそれぞれ接する半導体基板11に各々高不純物濃度のソース/ドレイン領域18が形成されている。ゲート電極17に対応するトランジスタのチャネル長方向（縦方向）において互いに近づきあうように低不純物濃度のソース/ドレイン領域19が領域18より延在して形成される。素子分離領域14、ゲート領域を含み半導体基板11を覆うように酸化膜21、層間絶縁膜22が形成され、所望のコンタクトホール23を介してアルミニウム電極24が高不純物濃度のソース/ドレイン領域18と接続されている。



1

## 【特許請求の範囲】

【請求項1】 半導体基体に形成された第1の溝及びそれに囲まれた第2の溝と、

前記第1の溝に形成された素子分離領域と、

前記第2の溝の壁面に形成された縦型のゲート領域と、

前記第2の溝底面下及び第2の溝の壁面の上半部にそれぞれ接する半導体基体に各々形成された高不純物濃度の活性領域と、

前記ゲート領域に対応するトランジスタのチャネル長方向において互いに近づくように前記高不純物濃度の活性領域より延在した低不純物濃度の活性領域とを具備することを特徴とするMOS型半導体装置。

【請求項2】 半導体基体に形成された第1の溝及びそれに囲まれた第2の溝を形成する工程と、

前記第2の溝の壁面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記第1の溝に絶縁物質を充填する工程と、

前記第2の溝底面及び第2の溝縁部に隣接したそれぞれの半導体基体に各々低不純物濃度のソース／ドレイン領域を形成する工程と、

前記低不純物濃度のソース／ドレイン領域それぞれにこの低不純物濃度のソース／ドレイン領域より拡散の深さの浅い高不純物濃度のソース／ドレイン領域を各々形成する工程とを具備することを特徴とするMOS型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は特に素子領域の縮小化が要求されるLDD構造のMOS型電界効果トランジスタに使用されるMOS型半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】 図9は従来のLDD構造を有するMOS型半導体装置の構成を示す断面図である。半導体基板41（もしくはウェル領域）の上に低不純物濃度のソース／ドレイン領域42に囲まれた高不純物濃度のソース／ドレイン領域43を備え、これらの領域を跨ぐようにしてゲート電極44が形成されている。素子寸法は $2.4\mu\text{m}$ である。

【0003】 このような構成では、高不純物濃度のソース／ドレイン領域を囲むように低不純物濃度のソース／ドレイン領域が形成されているため、比較的高い駆動電圧、例えば30V程度で用いる場合には、高不純物濃度のソース／ドレイン領域からゲート領域までの低不純物濃度のソース／ドレイン領域は $2\sim 3\mu\text{m}$ 以上の大きさが必要であり、また、さらに駆動電圧が高い場合にはそれ以上の低不純物濃度のソース／ドレイン領域を必要としてくるため、素子面積が大きくなる問題を持つ。

## 【0004】

【発明が解決しようとする課題】 このように、従来では

2

低不純物濃度のソース／ドレイン領域は駆動電圧が高くなるほどゲートとの距離を大きくとらなければならならず、素子面積が大きくなるという欠点がある。

【0005】 この発明は上記のような事情を考慮してなされたものであり、その目的は、小面積で高耐圧のLDD構造を有するMOS型半導体装置及びその製造方法を提供することである。

## 【0006】

【課題を解決するための手段】 この発明のMOS型半導体装置は、半導体基体に形成された第1の溝及びそれに囲まれた第2の溝と、前記第1の溝に形成された素子分離領域と、前記第2の溝の壁面に形成された縦型のゲート領域と、前記第2の溝底面下及び第2の溝の壁面の上半部にそれぞれ接する半導体基体に各々形成された高不純物濃度の活性領域と、前記ゲート領域に対応するトランジスタのチャネル長方向において互いに近づくように前記高不純物濃度の活性領域より延在した低不純物濃度の活性領域とを具備することを特徴とする。

【0007】 また、この発明のMOS型半導体装置の製造方法は、半導体基体に形成された第1の溝及びそれに囲まれた第2の溝を形成する工程と、前記第2の溝の壁面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記第1の溝に絶縁物質を充填する工程と、前記第2の溝底面及び第2の溝縁部に隣接したそれぞれの半導体基体に各々低不純物濃度のソース／ドレイン領域を形成する工程と、前記低不純物濃度のソース／ドレイン領域それぞれにこの低不純物濃度のソース／ドレイン領域より拡散の深さの浅い高不純物濃度のソース／ドレイン領域を各々形成する工程とを具備することを特徴とする。

## 【0008】

【作用】 この発明では、高不純物濃度のソース／ドレイン領域とその下方に形成された低不純物濃度のソース／ドレイン領域を形成すること、溝を形成して溝部壁面に縦方向にゲート領域を形成することにより、素子領域のパターン面積縮小、高耐圧のトランジスタを実現する。

## 【0009】

【実施例】 以下、図面を参照してこの発明を実施例により説明する。図1はこの発明の一実施例によるMOS型電界効果トランジスタの構成を示す断面図である。半導体基板11にトレンチアイソレーション技術により溝12、15が形成されている。溝12は絶縁物13で埋められ素子分離領域14となっている。また、溝15の壁面にゲート酸化膜16が形成され、それを覆うゲート電極17が縦に形成されている。

【0010】 上記ゲート電極17が形成されない溝15の底面下及びゲート酸化膜16側の溝15の壁面の上半部にそれぞれ接する半導体基板11に各々高不純物濃度のソース／ドレイン領域18が形成されている。上記ゲート電極17に対応するトランジスタのチャネル長方向（縦方向）のに

3

において互いに近づきあうように低不純物濃度のソース／ドレイン領域19が高不純物濃度のソース／ドレイン領域18より延在して形成されている。

【0011】素子分離領域14、ゲートの領域を含んで半導体基板11を覆うように酸化膜21が形成され、酸化膜21上に層間絶縁膜22が形成され、所望のコンタクトホール23を介してアルミニウム電極24が高不純物濃度のソース／ドレイン領域18と接続されている。このような構成により、上記ソース／ドレイン領域、ゲート電極、半導体基板（基板板もしくはウェル）に適当な電圧を与えることによりトランジスタとして動作する。

【0012】このような構成によれば、ゲート電極17及びゲート酸化膜16を溝の深さ方向に（縦に）形成したことにより、チャネル領域が基板に対して水平方向に伸びることはなく、図に示されるように1個の素子は基板と水平方向に5、0 $\mu$ m程度で形成でき、素子の縮小に大きく寄与する。また、ソース／ドレイン領域は主に基板もしくはウェルとの接合耐圧を保てば良くなるので、高不純物濃度のソース／ドレイン領域を設けることで高耐圧化に有利となる。

【0013】図2（a）～図2（h）はそれぞれこの発明の一実施例方法によるLDD構造のMOS型半導体装置の製造工程を順次示す断面図である。図1と同一の箇所には図1と同一の符号を付す。

【0014】まず、図2（a）に示されるように、半導体基板11にトレンチアイソレーション技術により溝12、15を形成する。溝12は素子分離用として、溝15はトランジスタ形成用として、後記の図3の平面図に示されるように、溝15を溝12により囲むように形成する。

【0015】次に図2（b）に示されるように、半導体基板11を酸化し、溝内壁にゲート酸化膜16を形成する。その後、ゲート電極となるポリシリコン層31をゲート酸化膜16上に堆積する。

【0016】次に図2（c）に示されるように、RIE（reactive ion etching）法、リソグラフィ技術によりポリシリコン層31を選択的にエッチングし、縦型のゲート領域におけるゲート酸化膜16、ゲート電極17を形成する。このRIEの際、図4の平面図に示されるように、ゲート電極17のコンタクト及びポリシリコン配線のために必要なポリシリコン層31はレジスト膜32等を用い、残存させる。

【0017】次に図2（d）に示されるように、溝12に例えばノンドープのポリシリコン等の絶縁物13を充填させ、素子分離領域14を形成する。次に図2（e）に示されるように、溝15の露出底面、及び溝15と12の間の板基11表面それぞれの板基11に各々低不純物濃度のソース／ドレイン領域19を形成する。

【0018】さらに、図2（f）に示されるように、低不純物濃度のソース／ドレイン領域19においてこの領域19より拡散の深さを浅くした高不純物濃度のソース／ド

4

レイン領域18を形成し、低不純物濃度のソース／ドレイン領域19上に高不純物濃度のソース／ドレイン領域18が形成された構造をとる。

【0019】次に、図2（g）に示されるように、後酸化工程によって素子分離領域14、ゲートの領域を含んで半導体基板11を覆うように酸化膜21を形成する。その後、酸化膜21上に層間絶縁膜22を形成する。

【0020】次に、図2（h）に示されるように、層間絶縁膜22、酸化膜21を選択的に開孔したコンタクトホール23を形成し、アルミニウム電極24をバタニングすることにより高不純物濃度のソース／ドレイン領域18と接続する。

【0021】図5は図2（e）でコンタクト開孔したときの平面図である。ソースコンタクト34、ドレインコンタクト35はそれぞれの高不純物濃度領域の上方に形成され、ゲートコンタクト36に関してはポリシリコン層で引き出されたコンタクト形成領域で形成される。

【0022】上記実施例方法によれば、LDD構造の絶縁ゲート電界効果トランジスタでは、高不純物濃度のソース／ドレイン領域を囲むように設けられる低不純物濃度のソース／ドレイン領域が必要ないため、素子面積が小さくなる利点を持つ。

【0023】図6は応用例を示す断面図である。溝部壁面に接する半導体基板内に形成された高不純物濃度のソース／ドレイン領域18の対面の溝15壁面に接する半導体基板内に高不純物濃度のソース／ドレイン領域及び低不純物濃度のソース／ドレイン領域を設けることにより、約10 $\mu$ mの中にMOSトランジスタを2個形成することが可能である。さらに素子面積を小さくすることが可能である。図7は図6において各コンタクト部を示す平面図である。ソースコンタクト34、ドレインコンタクト35、ゲートコンタクト36が形成されている。

【0024】図8はこの発明の変形例を示す平面図である。溝部底面に形成された高不純物濃度のソース／ドレイン領域、低不純物濃度のソース／ドレイン領域の周囲の基板の上にゲート電極ともう一方の高不純物濃度のソース／ドレイン領域、低不純物濃度のソース／ドレイン領域が形成されている。素子面積を小さくすると共に大きな出力電流を確保することが可能である。この平面図では高不純物濃度のソース／ドレイン領域18の周囲にゲート電極17、ゲート電極17の周囲にもう一方の高不純物濃度のソース／ドレイン領域18、ソースコンタクト34、ドレインコンタクト35、ゲートコンタクト36を示している。

【0025】

【発明の効果】以上説明したようにこの発明によれば、ゲート領域を溝の深さ方向に（縦に）形成したことにより、トランジスタのチャネル領域は基板に対し水平方向に広がらず、また、低不純物濃度のソース／ドレイン領域を高不純物濃度のソース／ドレイン領域の囲むように

形成する必要もないので、素子領域の微細化に大きく寄与するMOS型半導体装置が提供できる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る構成を示す断面図。

【図2】 図1の製造方法を各々工程順に示す断面図。

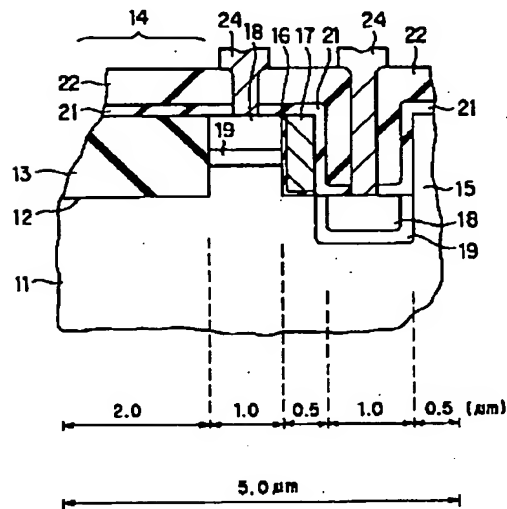
【図3】 図2の工程において補足説明を示す第1の平面図。

【図4】 図2の工程において補足説明を示す第2の平面図。

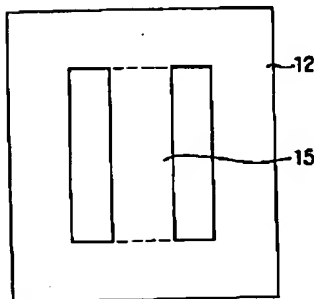
【図5】 図2の工程の一部における平面図。

【図6】 図1の応用例を示す断面図。

【図1】



【図3】



【図7】 図6において各コンタクト部を示す平面図。

【図8】 この発明の変形例を示す平面図。

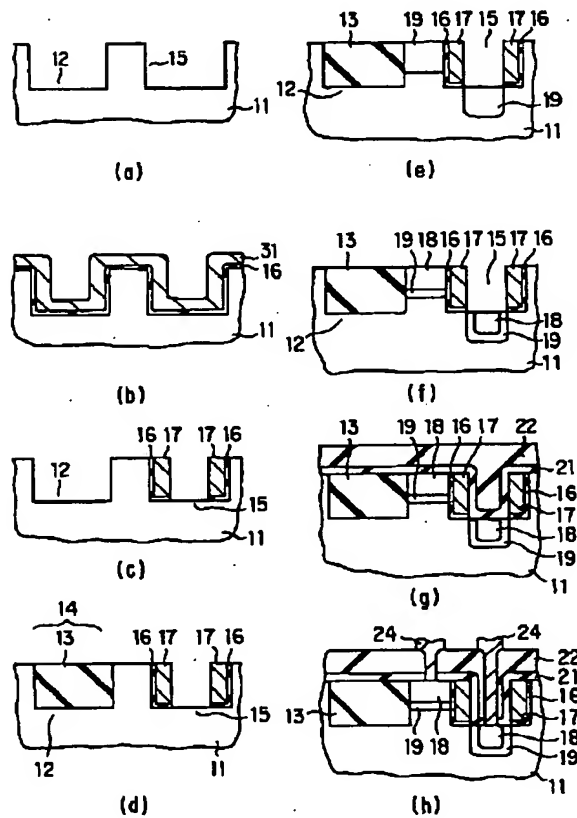
【図9】 従来のLDD構造を有するMOS型半導体装置の構成を示す断面図。

【符号の説明】

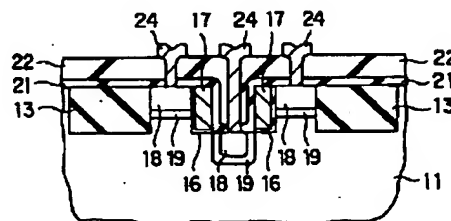
11…半導体基板、12、15…溝、13…絶縁物、14…素子分離領域、16…ゲート酸化膜、17…ゲート電極、18…高不純物濃度のソース/ドレイン領域、19…低不純物濃度のソース/ドレイン領域、21…酸化膜、22…層間絶縁膜、

10 23…コンタクトホール、24…アルミニウム電極。

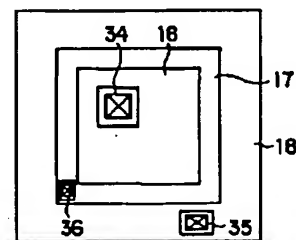
【図2】



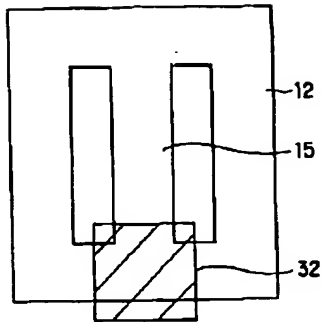
【図6】



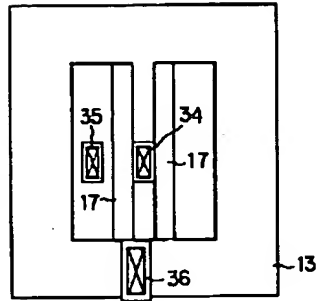
【図8】



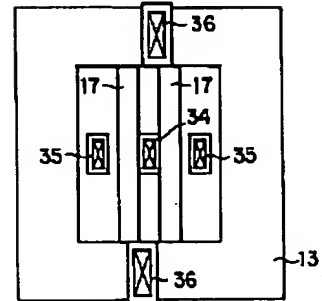
【図4】



【図5】



【図7】



【図9】

